

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-509557

(43) 公表日 平成9年(1997)9月22日

(51) Int.Cl.<sup>6</sup>

H 0 2 M 3/28

識別記号

庁内整理番号

8726-5H

F I

H 0 2 M 3/28

W

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21) 出願番号 特願平7-516260  
(86) (22) 出願日 平成6年(1994)12月6日  
(85) 翻訳文提出日 平成8年(1996)6月7日  
(86) 国際出願番号 PCT/US94/13956  
(87) 国際公開番号 WO95/16301  
(87) 国際公開日 平成7年(1995)6月15日  
(31) 優先権主張番号 08/164,097  
(32) 優先日 1993年12月8日  
(33) 優先権主張国 米国 (US)

(71) 出願人 インターナショナル・パワー・システムズ・インコーポレーテッド  
アメリカ合衆国、ペンシルバニア州  
19462、プリマウス・ミーティング、ウォルトン・ロード 3043  
(72) 発明者 ゴード、スチーブ・デー  
アメリカ合衆国、アリゾナ州 85748、タクソン、エヌ・バンカー・ヒル・ドライブ 241  
(74) 代理人 弁理士 鈴江 武彦 (外4名)

最終頁に続く

(54) 【発明の名称】 フェーズド・アレイ・パワー・プロセッサとその動作方法

(57) 【要約】

切替えモード電力変換アレイ (10) 上で入力及び出力リップル電流及びリップル電圧の低減が大電力レベルで高周波数において実現された。入力電力信号 (12) が、複数のより小さなパワーコンバータ回路 (20 (1) - 20 (2)) が並列に接続されている入力キャパシタンス (16) にまたがって接続されるようにしている。各コンバータ回路は変換周波数にわたって位相シフトして、時間的に重なり合う関係で動作するようにされている。例えば、N個のコンバータがあるとし、変換周波数の周期がTであるとすると、各回路は前段又は後段のコンバータに対してT/N遅延の時間歩進に対応する位相シフトでトリガすなわち切替えがされる。各コンバータの出力 (14) は次に並列に出力キャパシタンスに接続される。このコンバータの動作を実施例ではパルス幅変調として例示し、調整された出力を得ている。

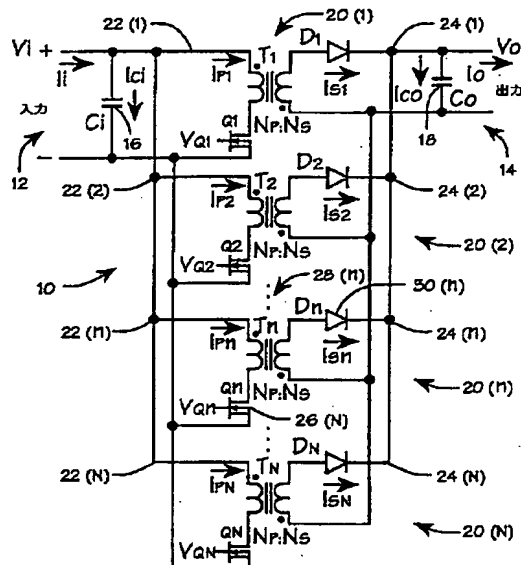


FIG. 2

**【特許請求の範囲】**

1. 入力キャパシタンスと；

出力キャパシタンスと；

複数のコンバータとで成る電力変換アレイにおいて、

各コンバータは並列に該入力キャパシタンスに接続された入力と、並列に該出力キャパシタンスに接続された出力とを有して、切替えモード電力変換を用いて入力電圧を出力電圧に変換し、該複数のコンバータは変換周波数で動作し、かつ該変換周波数の1周期にわたって位相シフトされていて、各コンバータが該複数のコンバータの他の少くとも1つと時間的に重なる関係で切替えられるようにされていることを特徴とされる電力変換アレイ。

2. 前記複数のコンバータは前記周期にわたって順次継続して均等に位相シフトされる請求項1記載の電力変換アレイ。

3. 前記複数のコンバータは前記周期にわたって該複数のコンバータを継続的に位相シフトするための制御回路手段を備えた請求項1記載の電力変換アレイ。

4. 前記複数のコンバータは順次継続して均等に位相シフトされる請求項3記載の電力変換アレイ。

5. 前記複数のコンバータは数がNであり、該コンバータの各々の前記動作周波数は周期Tを有し、該複数のコンバータの各々は相互に $T/N$ の時間歩進分だけ位相シフトされる請求項1記載の電力変換アレイ。

6. さらに制御回路とクロック回路とを有し、該クロック回路は前記複数のコンバータの前記動作周波数でクロック信号を生成し、かつ該制御回路に接続されており、該制御回路は調整された制御パルスが遅延回路に送出し、該遅延回路は複数の継続的に遅延された切替え信号を生成し、かつ該コンバータの各々に接続されて該切替えパルスで該コンバータを順次継続的に切替えるようにする請求項1記載の電力変換アレイ。

7. 前記遅延回路は複数の遅延線モジュールが一緒に直列に接続されて成り、各遅延線モジュールは遅延トリガを提供して該遅延線モジュールの次のものを始動させ、次に複数の遅延トリガ信号を生成して、前記複数のコンバータの位相遅延

された切替えモード動作を提供するようにしている請求項6記載の電力変換アレイ。

8. 前記遅延線モジュールは複数タップの遅延線回路で成り、該遅延回路は対応する複数の多線ドライバで成り、各該ドライバは対応する複数の前記コンバータに接続されて該遅延回路に送られた遅延トリガに応答して該コンバータのオン・オフ駆動を行なう請求項7記載の電力変換アレイ。

9. 入力キャパシタンスと出力キャパシタンスとの間で切替えモード電力変換を行なう方法であって、次の段階で成る方法：

a. 入力電力信号を用意する段階と；

b. 該入力及び出力キャパシタンスの間に並列に接続された複数の切替えモードコンバータを介して該入力電力信号を継続して接続し、該入力電力信号は周期をもつ動作周波数で切替えられ、かつ該複数の切替えモードコンバータを介して、少くとも一部が時間的に重なる関係をもって、該周期内で各コンバータの動作の所定の位相シフトによって継続して接続されるようにする段階；及び

c. 該複数のコンバータの該出力に並列に接続された該出力キャパシタンスに出力電力信号を送出する段階。

10. 前記複数の切替えモードコンバータを介して継続して接続されている前記入力電力信号は、前記周期にわたり均等の位相シフトで該周期にわたって該入力電力信号を切替える請求項9記載の方法。

11. 前記周期は時間間隔 $T$ であり、該複数の切替えモードコンバータの数は $N$ であり、前記入力電力信号を継続して接続する段階は、該入力電力信号を該切替えモードコンバータを介して、該コンバータの各々の間で $T/N$ に対応する継続した位相シフトで継続的に接続する請求項10記載の方法。

12. さらに前記複数の切替えモードコンバータの各々を調整して前記出力電力信号用に所定の信号プロファイルを提供する段階を有する請求項11記載の方法。

13. 前記複数の切替えモードコンバータを介して継続的に接続されている前記入力電力信号は、カスケード遅延を介して複数の切替え信号を生成し、該複数の切替えモードコンバータの各1つを該切替え信号の対応する1つで切替える段階を有する請求項12記載の方法。

14. 前記入力電力信号を前記複数の切替えモードコンバータを介して継続的に接続している間、該コンバータは時間的に重なる継続したシリーズで動作して常に2以上のコンバータが前記出力キャパシタンスに出力を送出するようにしている請求項13記載の方法。

15. さらに前記切替えモードコンバータの各々を調整して前記出力電力信号用の所定の信号プロファイルを提供する段階を有する請求項9記載の方法。

16. さらに前記切替えモードコンバータの各々を調整して前記出力電力信号用の所定の信号プロファイルを提供する段階を有する請求項15記載の方法。

17. 前記切替えモードコンバータの各々の調整はパルス幅変調信号を送って該コンバータをトリガすることによって実行される請求項16記載の方法。

**【発明の詳細な説明】**フェーズド・アレイ・パワー・プロセッサとその動作方法発明の背景1. 発明の分野

切替えモード（スイッチトモード）パワーコンバータの分野に属し、とくに大電力DC-DCコンバータであって、並列に動作する低電力コンバータのフェーズドアレイを利用するものに関する。

2. 先行技術の記述

切替えモードパワーコンバータは各種形態の電力変換を組織的な切替え（スイッチング）と電気エネルギーの貯蔵とによって達成している。広範な回路トポロジイが使われて多数の異なる電力変換要件と応用とに向けられている。電力変換過程の調整は一般に1又は複数の能動スイッチング素子の制御を通じて実現される。

DC-DC切替えパワーモードコンバータで使用される大部分の回路トポロジイは1又は複数の重要な動作パラメータを監視し、このパラメータ化した情報を処理し、信号出力を作り、それを使って単一の能動パワースwitchングデバイス又は複数のパワースwitchングデバイスで直列又は並列に接続されているものを駆動している。また、幾つかの異なるトポロジイがあり、2つの制御出力を使って2又は4の能動スイッチングデバイスを駆動している。切替えモード電力変換が普通に使われるのは、線形の調整が調整の主たる方法として使用していない電力を消費するのに比して一層効果的であることによる。理論的には、スイッチとエネルギー貯蔵素子とが無損失、すなわち無損失のインダクタとキャパシタとであれば、切替えモード電力変換は効率が100%である。実際には、部品が理想的ではなく、損失を示すから、効率は100%を下回り、回路のトポロジイと応用に依存して、一般には75ないし95%である。

切替えモード電力変換が普通に用いられるのは、スイッチング（切替え）周波数が増大すると、コンバータの大きさと重さとが減少されるからである。寸法と

重量とのこの減少はエネルギー貯蔵部品の周波数スケール特性に主として起

困している。

切替えモード電力変換の本質的な欠点の1つは、より小さい寸法で、より高い周波数を必要とする応用で明らかになる。より小さな寸法の要求はコンバータの切替え周波数が顕著に増大しなければならないことを意味する。しばしば、周波数の増大は使用できる部品の一番効率的な動作範囲を超えてしまうことになる。その結果、寄生効果が支配的となり始め、損失が増大し、それが変換効率の低下と回路設計の複雑さの著しい増加の原因となる。寸法と周波数との間のこの関係は切替えモードパワーコンバータの大きさと効率とを終局的には制限している。

寸法と周波数制限は電力レベルが増大するとともにさらに一層重要となる。これは、大電力レベルを変換するのに必要とされるより大きな部品は一般により高度な寄生、損失及び理想的でない性質を示すからである。さらに、これらの効果は、通常は部品の寸法が増大するときに低い方の周波数で生ずる。したがって、変換すべき電力量が増大しなければならないときにスイッチング（切替え）周波数を増大させることが一層難しくなる。

寸法の減少と周波数の増大から生ずる別の問題は、高い動作温度と熱点（ホットスポット）が創り出されることである。これは回路のトポロジイの集中する性質と、また寸法の減少が対応した損失の減少もしくは効率の向上を伴わないことである。事実、上述のように、動作効率はこの場合に減少する傾向にある。したがって、熱の除去は重要な問題となる。

並列位相シフト形DC-DCコンバータの使用は公知である。例えば、Hergenhan, "N Phase Digital Converter," U.S. Pat. 4,290,101(1981)を見よ。しかし、Hergenhanでは、制御回路はパワースイッチの各々に対して継続的なトリガ用のパルスを送っており、Hergenhanの図2に示すような重なることの無い制御パルスを送出するようなやり方が用意されている。

フライバック変圧器を切替えて電力変換回路の入力及び出力キャパシタを通るリップル電流のRMS値をより小さくすることは、Petersonにより示されている：“Inductor with Centertap Switching Transistor for Reduced Radio Frequency Emissions,” U.S. Pat. 4,972,292(1990)。しかし、Petersonは4つのスイ

ツ

チアレイを記述し、各スイッチは互いに $90^\circ$ ずつ位相がずれて、重ならない関係で、しかも変化するデューティサイクルで駆動がされていることはPetersonの図2 aのラインAとBとして示される通りである。

A C電源用の周波数変換器の並列アレイがHaradaらによって示されている：“X-Ray Power Supply with Frequency Convertors,” U.S. Pat. 5,105,351(1992)。しかし、切替え変圧器の一次コイルは並列であるが、その二次出力回路は直列に接続されていて、ブーストされたD C出力電圧を送出している。

Inouらの“DC/DC Convertor,” U.S. Pat. 4,685,039(1987)はD C - D Cコンバータで切替え一次側が直列に接続され、二次回路が並列に出力キャパシタンス及び負荷に接続されているものを記述している。Inouの示す図7 bの実施例は3つのこの種の回路が入力及び出力キャパシタンスの間に並列に接続されているのを示す。各回路内の一次回路の切替えはInouの図4 aに示すように同時にか、あるいは図4 bに示すように $180^\circ$ ずれた位相かのいずれかである。複数の切替え一次側の中での継続的な位相シフトは2つのモード以上では考えられていない。

したがって、必要とされているものはある種の切替えモード電力変換器トポロジと方法とであり、それによって寸法と周波数制限とに関する各々の欠点、とくに大電力応用における欠点が回避されるか低減されるようにすることである。

#### 発明の簡単な要約

以下に記述するところは、大電力切替えモードパワーコンバータであって、多数のより低電力のコンバータのアレイから構成され、それらが寸法と周波数との制限から生ずる欠点を克服するような仕方で結合されているものである。とくに、複数のより低電力のコンバータはコンバータ内の入力及び出力キャパシタンス中を流れる電流が減少されるようなやり方で結合されている。これによって、より低電力のコンバータのアレイが高周波数動作の多くの利点を示しながら、アレイ内の各個々のコンバータがより一層低い周波数で動作するようにしている。これはまた、一層標準部品の使用を可能にし、標準部品が理想に近く、すなわち寄生効果が少い最適動作範囲内で一層効率よく利用できるようにしている。この技

術はもっと大きな電力レベルでより魅力的となる。その理由は、幾つかのより低電

力のコンバータの中でアレイ内の高電力の分布が原因していることによる。電力分布は損失を平準的に分配するのに役立ってもおり、周波数能力の上限で動作し、大きな損失と寄生効果とを示している大形の集中部品で一般に遭遇するホットスポットを回避する。

もっと厳格に言うと、この発明は電力変換アレイであって、入力キャパシタンス、出力キャパシタンス、及び複数のコンバータで構成されている。各コンバータには入力があって入力キャパシタンスに並列に接続されており、また出力があって出力キャパシタンスに並列に接続されている。各コンバータは入力電圧を出力電圧に変換するのに切替えモード電力変換を使用している。複数のコンバータは変換周波数で動作し、変換周波数の1周期にわたって位相シフトされていて、各コンバータが複数のコンバータのうちの少なくとも1つ他のものと時間的に重なりをもつ関係で切替えられるようにしている。その結果、入力と出力電流及び電圧リップルが実質的に低減され、アレイの動作周波数は増大され、電力容量が増大される。

実施例では、複数のコンバータは1つから他へと、周期にわたって実質的に均等に位相シフトされる。

複数のコンバータは周期にわたって複数のコンバータを継続的に位相シフトさせるための制御回路を備えている。複数のコンバータは数が $N$ で、各コンバータの動作周波数は周期が $T$ である。複数のコンバータの各々は時間歩進（インクレメント）が $T/N$ で、互いに他から位相シフトしている。複数のコンバータの各々は $T \times n$ の時間にわたりオンに切替えられる。コンバータは任意の回路トポロジを有するものである。

電力変換アレイはさらに制御回路とクロック回路とを備える。クロック回路は複数のコンバータの動作周波数でクロック信号を生成する。クロック回路は制御回路に接続されている。制御回路は調整された制御パルスが遅延回路に送出する。遅延回路は複数の継続して遅延されたスイッチングパルスを生成する。遅延回



路は各コンバータに接続され、スイッチングパルスでコンバータを継続して切替える。

遅延回路は複数の遅延線モジュールが一緒に直列に接続されて成り、各遅延線モジュールは遅延したトリガを送出して次の遅延線モジュールのを始動させる。次に各遅延線モジュールは複数の遅延したトリガ信号を生成する。遅延線モジュールは複数のコンバータの選ばれた1つに接続されてコンバータの位相遅延した切替えモード動作を提供している。

遅延線モジュールは複数タップの遅延線回路で成り、遅延回路は対応する複数の複数ラインドライバで成る。各ドライバは対応する複数のコンバータに接続されて、コンバータのオン・オフ駆動を、遅延回路に送られた遅延トリガに応答して行なう。

調整された制御パルスで制御回路で生成されたものはパルス幅変調された信号である。

この発明はまた、入力キャパシタンスと出力キャパシタンスとの間で切替えモード電力変換を提供するための方法を特徴としている。この方法は入力電力信号を用意し、入力及び出力キャパシタンスの間に並列に接続された任意の回路トポロジイをもつ複数の切替えモードコンバータを経由して入力電力信号を継続的に接続する段階で構成される。入力電力信号は、ある周期をもつ動作周波数で切替えられ、複数の切替えモード変換器の各々を介して、その周期の中で少なくとも一部の時間が重なり合う関係で、各コンバータの動作の所定の位相シフトにより継続的に接続されている。出力電力信号は複数のコンバータの出力と並列に接続された出力キャパシタンスで用意される。その結果、高い周波数での大電力動作が、周波数、寸法及び温度の制限なしに得られる。

この方法はまた、切替えモードコンバータの各々を調節して出力電力信号に対して所定の信号プロファイルを提供するようにする段階を備えている。

複数の切替えモードコンバータを介して入力電力信号を継続して接続する段階は、カスケード接続の遅延を介して複数の切替え信号を生成し、かつ、複数の切替えモードコンバータの各1つを切替え信号の対応する1つで切替える段階で成

る。

複数の切替えモードコンバータを介して入力電力信号を継続して接続する段階では、複数のコンバータは時間が重なっている継続的なシリーズで動作して、出力キャパシタンスへの出力を提供するコンバータが常に2以上であるようにして

いる。

この発明は次の図面を参照してより明らかになろう。ここでは同じ素子には同じ番号が使われている。

#### 図面の簡単な説明

図1はこの発明の構成をとるN相切替えモードパワーコンバータの構成図である。

図2は図1の切替えモードパワーコンバータをより詳しく説明する1実施例で、単純化しかつ理想的にした模式図である。

図3は図2のスイッチングデバイスのゲートに加えられる駆動信号用の波形を示すタイミング図である。

図4は図2に示した変圧器の一次側の電流波形を示すタイミング図である。

図5は図2に示した変圧器の二次側の電流波形を示すタイミング図である。

図6はこの発明の第2の実施例の構成図である。

図7は三角出力波形をもつこの発明の変換アレイからのAC電圧リップルの改善比を、同数同形式のコンバータを同相で駆動したときの変換アレイからのACリップルと比較したグラフである。

図8は短形波出力波形をもつこの発明の変換アレイにおけるAC電圧リップルと、同じ数と形式のコンバータを同相で駆動した変換アレイからのACリップルとの改善比を示す。

この発明及びその各種の実施例は、今度は以下に記述する詳細な説明と関連づけて理解することができよう。

#### 実施例の詳細な説明

切替えモード電力変換アレイ上での入力と出力のリップル電流及びリップル電圧を低減させることは、大電力かつ高周波数においても、入力電力信号を入力キ

ャパシタンスで複数のより小さいパワーコンバータ回路に並列に接続されているものに対して接続することによって実現できる。このコンバータ回路は既知のもの、または後に考案されるどんなトポロジイをもつものでもよい。各コンバータ

回路は変換周波数の周期にわたって、時間的に重なりをもつ関係で位相シフトする方法で継続的に動作される。例えば、N個のコンバータがあり、変換周波数の周期がTであれば、各コンバータ回路は、先行もしくは後続のコンバータに対して遅れた時間歩進分 $T/N$ に対応する位相シフトでトリガすなわち切替えがされる。各コンバータの出力は次に出力キャパシタンスに並列に接続される。コンバータの動作は既知又は後考案のいかなる方法でも調整でき、実施例ではパルス幅変調をして調整された出力が送出されるようにしている。

図1は、N相、切替えモード、パワーコンバータでこの発明により組織されたものの簡単な構成図である。入力電圧 $V_i$ は2線入力12に送られ、出力電圧 $V_o$ が2線出力14で作られる。電圧 $V_i$ と $V_o$ とはDCであるか、もしくはコンバータ10内部での切替え周波数に比してゆっくりと変化している。入力12における入力電流は $I_i$ であり、出力14における出力電流は $I_o$ である。コンバータ10の入力及び出力キャパシタンスは模式的に入力キャパシタンス16、 $C_i$ と、出力キャパシタンス18、 $C_o$ で示される。入力及び出力キャパシタンス16、18はそれぞれ入力及び出力電圧を安定化して、電力処理用アレイ10を形成するために使用されるN個のコンバータ20(1) - 20(N)の高周波数切替え電流を受入れるようにするのに使われている。

コンバータ20(n)の入力及び出力切替え電流は、図1では電流 $I_{pn}$ 及び $I_{sn}$ としてそれぞれ表示してあり、 $n=1, 2, \dots, N$ である。コンバータ20(n)は各々が継続的に時間遅延され、すなわち位相シフトされ、その間隔はアレイ10内の先行するコンバータ20(n-1)に対して $T/N$ であり、したがって、スイッチングとエネルギーの蓄積とはスイッチング周期T全体にわたって均等に拡がっている。

単一のコンバータあるいは複数のコンバータが同相である場合と比較すると、結果として得られる入力及び出力リップル電流、 $I_{ci}$ 及び $I_{co}$ は図4と5に

それぞれ示すように、著しく低減され、しかも周期 $T/N$ で周期的となっている。対応するリップル電圧でキャパシタンス16, 18に現れるものは、低減されたリップル電流と増大した周波数の両方の結果としてさらに一層低減されている。

入力及び出力キャパシタンスリップル電流及び電圧の低減が物理的に実現できる切替えモードパワーコンバータ回路トポロジイのいずれにも適用できることは数学的に示すことができる。低減の程度はコンバータ入力及び出力電流、 $I_{pn}$ 及び $I_{sn}$ と、アレイ10内で利用されるコンバータの数 $N$ の関数である。一般に、低減はコンバータの数 $N$ が増加し、また、コンバータ電流のAC成分がDC成分に比して増加することによって一層顕著となる。

図1に示す回路トポロジイの特定の例について考えることとし、その簡略化した模式図が図2に示されている。図2では、 $N$ 個の同一の切替えモードパワーコンバータ20(1) - ( $N$ )のフェーズドアレイが示されており、フライバックトポロジイが利用され、不連続的な導電モードで動作するようにしている。この発明の思想を逸脱することなく、他のどんな形式のコンバータトポロジイも使用できることを理解されたい。コンバータ20(1) - ( $N$ )の入力22(1) - ( $N$ )及び出力24(1) - ( $N$ )はそれぞれ並列に接続されて、全体の組合わされたコンバータアレイ10に対して単一の入力12と出力14とを形成している。

コンバータの1つ、例えばコンバータ20( $n$ )を見る。各コンバータ20( $n$ )は能動スイッチ26( $n$ )を有し、例示の実施例ではMOS FETとして示されているが、他の適当な能動スイッチが使用できる。スイッチ26( $n$ )は変圧器28( $n$ ),  $T(n)$ を通る電流を切替える。変圧器28( $n$ )の出力はダイオード30( $n$ )を通して接続されている。変圧器28( $n$ )にはNP一次巻線と、二次巻線としてNSとを有している。話を簡単にするために、ここでの議論のためにはすべての部品が理想的で無損失であると仮定する。もっともこの仮定はこの発明の必要条件とはならない。

一次スイッチ26( $n$ ),  $Q(n)$ は図3に示したタイミング波形にあるよう

に別な駆動信号によって駆動される。水平軸は時間を表わし、垂直軸は電圧を表わし、ライン32(1) - (N)上では、それぞれスイッチ26(1) - (N)の各々のゲージに加えられる電圧に対応する。第1のスイッチ26(1)に対する駆動パルスは任意に選んだ時間34,  $t = T/N$ でパルス幅の $T_{on}$ で始まる。図3のライン32(2)上に示した駆動パルスでコンバータ20(2)の第2の

能動スイッチ26(2)のためのものは、ライン32(1)上に示したような第1のスイッチに対して提供される駆動信号と同一である。ただし、遅延すなわち位相シフトが時間 $T/N$ だけあって、したがって $2T/N$ の時間36で始まる。

図3のライン32(n)上に示した他のスイッチ26(n)に対する駆動パルスもまたライン32(1)上のパルスと同一であるが、各々は順々に付加的な時間歩進 $T/N$ だけ先段のスイッチから遅れている。最後の駆動パルスでコンバータ20(N)のスイッチ26(N)を駆動するライン32(N)上のものは、したがって、最初のタイミング点34に対して $(N-1)T/N$ の全時間歩進分だけ遅れていて、図3に示すように実際には次の時間周期38で始まっている。

駆動信号のこの位相シフトは全体のコンバータエネルギー処理周波数、 $N/T$ をもたらし、これは各個々のコンバータの動作周波数のN倍である。注意したいのは、唯1つの固有の駆動信号がコンバータアレイ10全体に送られていて、コンバータアレイ10を制御するために実施例ではこの駆動信号にパルス幅調整が行なわれていることである。この信号は次にコンバータアレイ10内部で、内部的に位相シフトされて、アレイ10内の個々のコンバータの各々の駆動を提供することになる。

図3の位相シフトした駆動信号で駆動されるとき図2の回路の特長は、図4の一次電流波形タイミング図と、図5の二次電流波形タイミング図で例示されているところである。図4のタイミング図についてまず見ると、一次電流 $I_{pn}$ は、図4のライン40(1) - (N)に示すように、N個のフライバックコンバータ20(N)の過ぎたアレイ内を流れる。時間はここでも水平軸上で示され、電流は垂直軸で示される。一次電流 $I_{pn}$ はそれぞれの駆動パルス $V_{qn}$ が高レベ

ルのときに、各コンバータ20 (n) 内を流れる。電流は入力電圧 $V_i$ 、変圧器28 (n) の一次インダクタンス $T_n$ 、及び導通時間 $T_{on}$ にしたがって傾斜を線形に上ってピーク電流 $I_p$ に達する。導通時間は駆動パルスの同一なパルス幅に対応して、すべてが $T_{on}$ である。コンバータアレイ10への全入力電流 $I_i$ は全コンバータ一次電流 $I_{pn}$ のDC成分の和に等しい。入力キャパシタリップル電流 $I_{ci}$ は全入力電流からコンバータ一次電流 $I_{pn}$ の和を減じたものである。ピーク間電流は $I_p$ に等しいに過ぎず、これは各コンバータ20 (n) に対して

同一である。すべてのコンバータ20 (n) が同相で切替わるか、あるいはそれらを単一のコンバータで置換したとすると、このピーク間入力キャパシタリップル電流はN倍大きな $N I_p$ となる。コンバータ20 (N) の位相シフト作用は一次電流をして加算を生じさせて、その結果、コンバータの数Nに等しい因子だけ小さな、ピーク間入力キャパシタ電流を生じさせる。これと対応した減少が入力キャパシタRMSリップル電流を生じさせる。この減少の大きさはNのオーダーであるが、導通時間 $T_{on}$ の関数としても変化する。リップル電流 $I_{ci}$ は図4のライン42に示す。入力キャパシタリップル電流の周波数はこうして個々のコンバータ29 (n) の各々の動作周波数のN倍であることが示された。

また、図4のライン44上には入力リップル電圧が示され、これは入力キャパシタ16を通して流れる電流から生じたものである。この電圧は通常のDC入力成分に、入力キャパシタリップル電流によって生じた付加的なAC成分を加えたものである。簡単な解析から、ピーク間及びRMS入力キャパシタリップル電圧は、複数のコンバータを同相で駆動したときもしくは単一のコンバータの場合と比較して $N^2$ のオーダーの因子だけ低減されることが示される。この低減のN因子の1つはリップル電流自体の減少から生じている。リップル電圧の低減の他のN因子は入力キャパシタ16で見た周波数の増加から生じている。低減は入力波形の形とは無関係に生じ、したがって、変換回路のトポロジイに無関係である。

図7はこの発明にしたがって位相シフトした順序で駆動した場合に三角形の出力波形をもつ変換アレイからのAC電圧リップルの改善比を示すグラフであり、

同数かつ同形式のコンバータが同相で駆動された変換アレイからのACリップルと比較してあって、デューティサイクル $D$ とアレイ内のコンバータの数の関数として示している。これを改善比として定義している。図8はこの発明にしたがって位相シフトした順で駆動したときに、矩形出力波形をもつ変換アレイ内のACリップルの改善比を示し、同数かつ同形式のコンバータが同相で駆動された変換アレイからのACリップルと比較してあって、デューティサイクル $D$ とアレイ内のコンバータの数の関数として示している。AC電流の減少はリップル電圧に対して示したところと類似している。図7及び8から明らかなことは、リップルは常に低減され、またデューティサイクル $D$ 、コンバータの数 $N$ 、及びコンバータ出力波形の形の関数として減少することである。

図5は同様に変圧器28(n)の二次側の電流 $I_{sn}$ を示す。二次電流はライン46(1) - (N)に示され、各コンバータ回路20(n)内の二次電流は図4に示した一次電流のオフ切替え時48で始まって、パルス幅 $T_{on}$ にわたって直線的に傾斜を下っていく。こうして各二次電流は先段から同じ歩進 $T/N$ だけ位相シフトされている。アナログ出力キャパシタリップル電流 $I_{co}$ はライン50上に示され、各個別コンバータの周波数よりも $N$ 倍大きな周波数を有する。同様に、出力電圧は図5のライン52上に示され、ACリップル成分は単一コンバータもしくは複数の同相コンバータと比較して $N^2$ のオーダーの因子だけ低減されている。

入力及び出力キャパシタリップル電流及び電圧におけるこれらの低減は、 $N$ が増加すると大きくなる。逆に、固定のリップル電流及び電圧が必要とされるときは、入力及び出力キャパシタンスの量と質とは $N$ の増加とともに著しく減少する。

図6はこの発明の第2の実施例の構成図であり、ここには300ワット絶縁形力率補正フロントエンド54が図示されている。AC入力、すなわち回路54の切替え周波数と比べると少くともゆっくりと変化する入力56が電磁的干渉(EMI)フィルタ及び整流器58に加えられ、そこでEMIが濾波され、AC入力が整流される。濾波されたDC入力は次に並列に16の切替えモード電力回路6

0に送られる。これらの電力回路60の各々はMOS FETスイッチ62、変圧器64、二次ダイオード66及び関連するキャパシタ及び抵抗器で構成されることは図6に示す通りである。しかし、どんなコンバータトポロジイもこの発明と関係して使用することができ、図6に示したものは例示のために選ばれたものである。

MOS FETスイッチ62は、今度はMOS FETドライバ68によって駆動される。実施例では、MOS FETドライバ68は集積回路CMOSクワッドドライバ(TC4469COE)である。各ドライバ68は4つの対応するコンバータ60内のMOS FET62に対して駆動信号を送る。

MOS FETドライバは、今度は遅延線回路70の継続するチェーン(鎖)によってトリガされる。回路70は実施例では5タップの遅延線回路(DS10

00S-500)である。遅延線回路70の第1のものは通常のパルス幅変調(PWM)された一次制御回路72によって提供された信号、OUTによって制御される。PWM一次制御回路72は、今度はクロック74によって駆動され、クロック74は5MHz信号を16分周して312.5kHzとしている。したがって、一次制御回路72から毎3.2マイクロ秒でパルスが送出され、そのパルス幅は通常二次制御回路76によって決定され、回路76と72とは光で接続されている。二次制御回路76は出力78から帰還信号を得ている。遅延線回路70の各々は200ナノ秒隔った遅延パルスを、それが対応するMOS FETドライバ68に対して効果的に送り、ドライバ68は今度はそれに接続されている4つのコンバータ回路60を継続的に駆動する。例えば、遅延線回路70(1)は4つの遅延信号を0, 200, 400及び600ナノ秒遅延で、信号OUTから位相シフトしてMOS FETドライバ68(1)へ送る。MOS FETドライバ68(1)は今度は順に継続してコンバータ回路60(1)-60(4)を駆動して、トリガ信号OUT後の0, 200, 400及び600ナノ秒でそれらをオンとし、信号OUT上に一次制御回路72によって用意されたパルス幅の間オンに留まる。しかし、800ナノ秒の時間に到達すると、第2の遅延線回路70(2)がトリガされ、同様に4つの200ナノ秒遅延信号は第2のMOS FE



Tドライバ68(2)に送られる。同様なやり方で、コンバータ60(5)-(8)は、一次制御回路72からのパルスOUTの初動から800ナノ秒後に始まる200ナノ秒時間歩進で順次継続して駆動される。

同様にして、すべて16のコンバータ回路60がクロック74で定義された3.2マイクロ秒サイクル周期の間に、一次制御72によって生成されたパルス幅によって決定される時間にわたってオンとなるように順次継続して駆動されることになる。実施例では5タップ遅延線70を使用したから、実際の形は図6に示したものではないが、この種の遅延線回路を6つ利用して、図6の4遅延線回路70について記述した機能を効果的に実行することができ、16の200ナノ秒遅延トリガパルスを記述した通りにそれぞれのMOSFETでドライバ68に送るようにする。

この発明はこれまで2つの特定の実施例と関連して記述してきたが、どんな切替えモードパワーコンバータ回路トポロジイであってあるレベルの直流電圧を他のレベルの直流電圧に変換し、かつ入力及び／又は出力キャパシタを利用するものにも応用することができる。しかし、この発明はDC対DCコンバータに限定されず、入力と出力電圧とがコンバータの動作周波数と比較するとゆっくりとした周波数で変化する場合にも応用できる。この種の応用例は力率補正回路への応用であり、そこでは入力電圧がライン周波数でゆっくりと変化する。

この発明は固定及び可変周波数制御技術にも応用できる。このときはN個のコンバータアレイの駆動は、周波数が変わるときに $T/N$ というような歩進で位相シフトがされることを条件とする。この発明は図6に示したようなパルス幅変調回路でも、また共振回路トポロジイでも両方で使用することができる。

この発明は絶縁形及び非絶縁形回路トポロジイの両方で完全に応用される。さらに、位相シフトが一定に留まることを要しないが、この発明の範囲には位相シフトが実時間ベースで変換周波数の変動の関数として、あるいは変換周波数の変動とは独立して変り得るものが含まれ、この条件は手許の応用と、求めている利点とによって定められるものである。

この発明の利点は理解されたと思うが、次のようなことが含まれ、もとより、

これらに限定されるわけではない。

1. 与えられた電力レベルと動作周波数に対してコンバータの寸法が減少された；等価なことであるが、1立方インチ当り100ワット以上で電力密度が増大するコンバータが容易に得られること；
2. 均一な熱放散を含む最適熱特性、所定体積に対する表面積の最大化、熱点（ホットスポット）数の低減と冷却、及び熱的シンクの必要性の低減；
3. 動作温度の低減の結果として、少い熱点及び組込み余裕の可能性の信頼性が改良された；
4. 自動製造技術の100%利用実現性：これには表面実装技術が含まれており、各コンバータ内部では少量の電力が処理されることにより、製造コストの著しい低減に通じている；
5. 使用する部品の形式数の低減：これにより標準化が増進され、全体のコストが低下する；
6. 一層効率的な材料の利用と高い体積価格とによる、材料の内容とコストの低減；
7. 新応用で使用するための低い（高さ）プロフィールをもつコンバータの実現：典型的なものは0.25インチ以下の厚さのコンバータが考えられている；
8. EMI発生源の分散、リップル電圧の減少、及びフィルタにかけやすい高いリップル周波数に起因する改良されたEMI特性；
9. パワーコンバータ内部での高周波数動作の利点をそれに伴う不利益なしに実現すること；
10. コンバータトポロジイ、入力電圧及び出力電圧など広範な応用への利用便宜性；
11. 標準化した電力及び制御素子もしくはモジュールを介しての標準化の容易性と、これによる出荷時間の短縮、開発コスト、材料コスト及び製品導入に係る全体コストの低減；
12. アレイ内の個々の電力素子の数及び寸法を変えることによるこの発明の設計での電力処理能力の容易な定格化；及び

13. 回路の入力及び出力キャパシタンス要件がこの発明の教示する大きさの数倍も低減できること。

当業者であれば、この発明の思想と範囲とを離脱することなく、色々な変形と修正を作ることができる。したがって、ここに開示した実施例は単に例を示したに過ぎず、この発明がこの例に限定されると解してはならない。以下に述べる請求の範囲は、書かれている文言通りの素子の組合わせを含むだけでなく、実質的に同一の結果をもたらす実質的に同じ方法で同じ機能を実質的に実行する等価な素子のすべてを含むと読み取られるべきものである。したがって、請求の範囲はとくに例示して上述したもの、思想的に等価なもの、及びこの発明の本質的なアイデアを本質的に具体化するものを含むと理解すべきものである。

【図1】

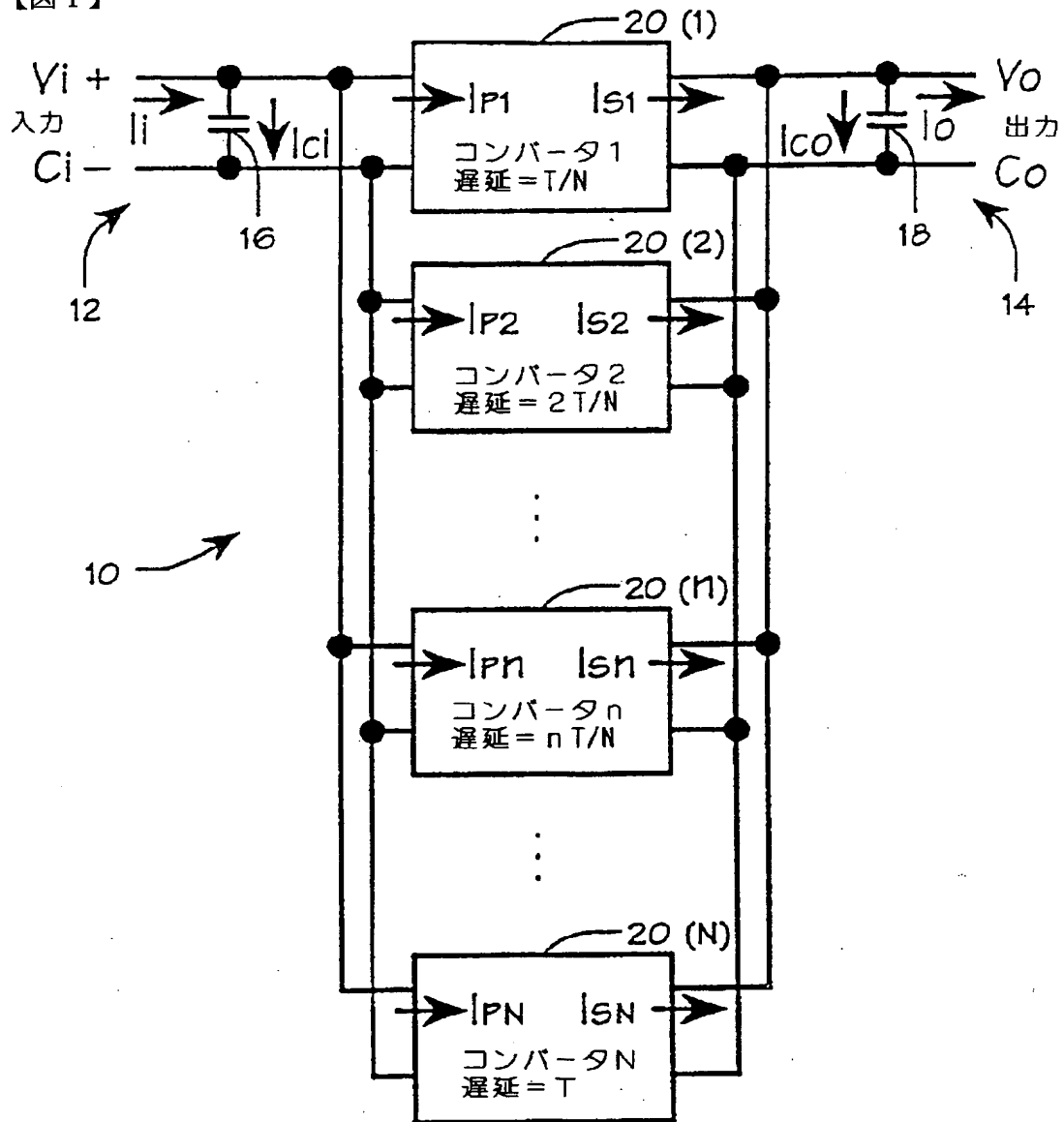


FIG. 1.

【図2】

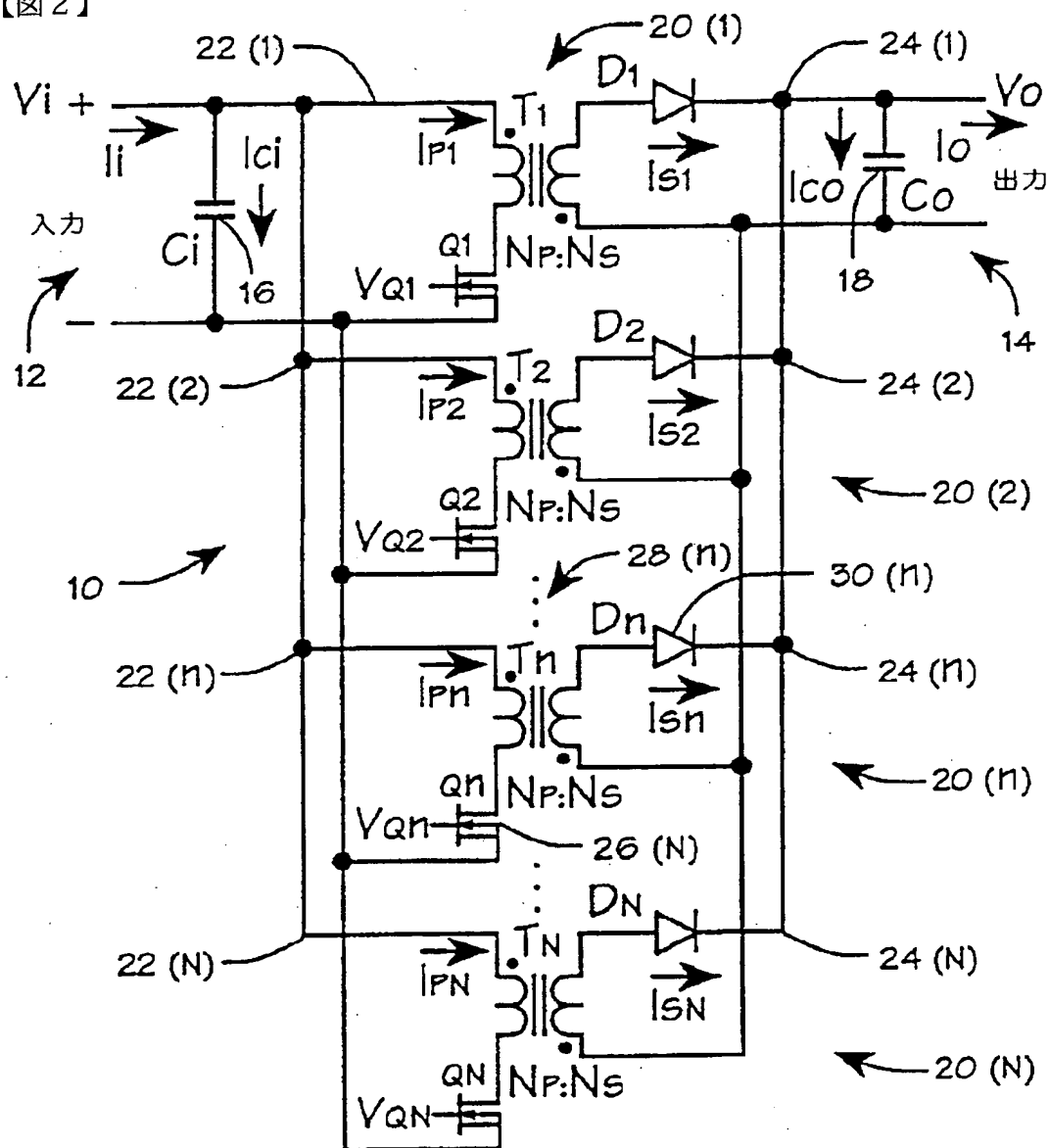


FIG. 2

【図3】

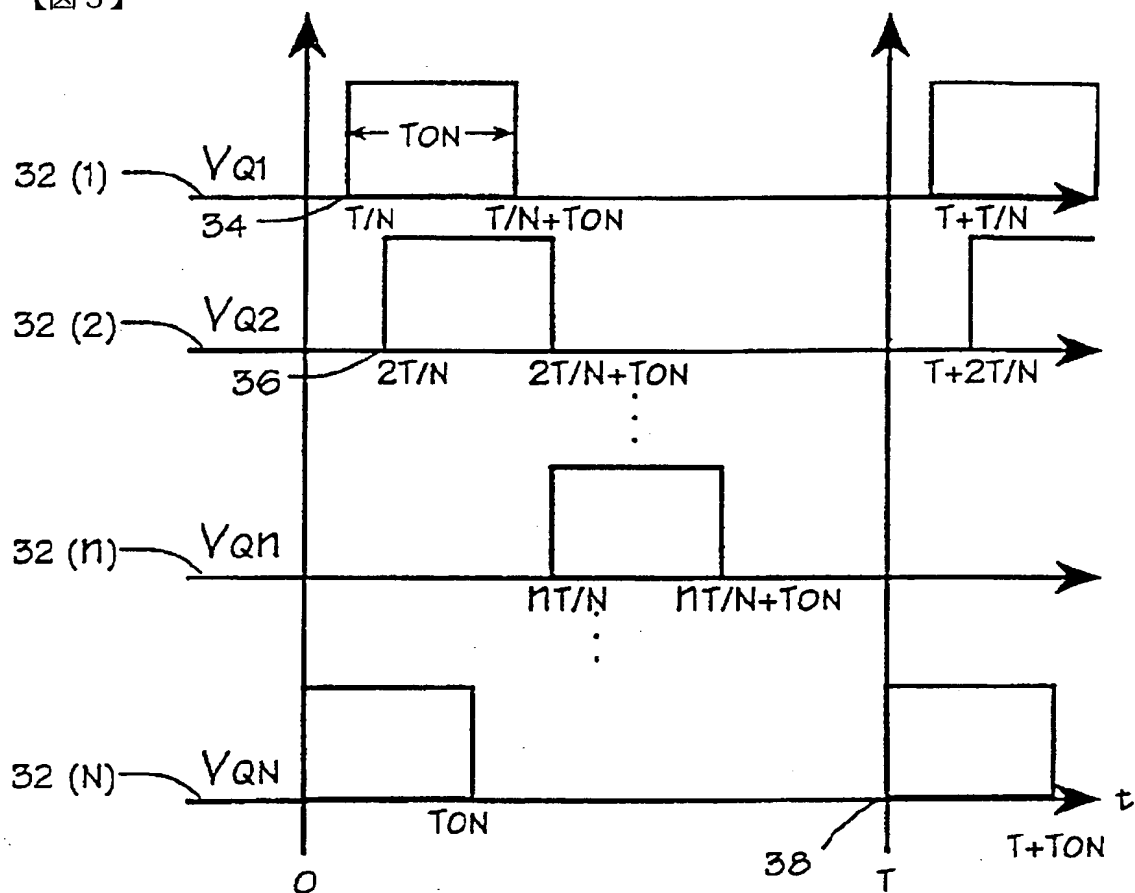


FIG. 3

【图4】

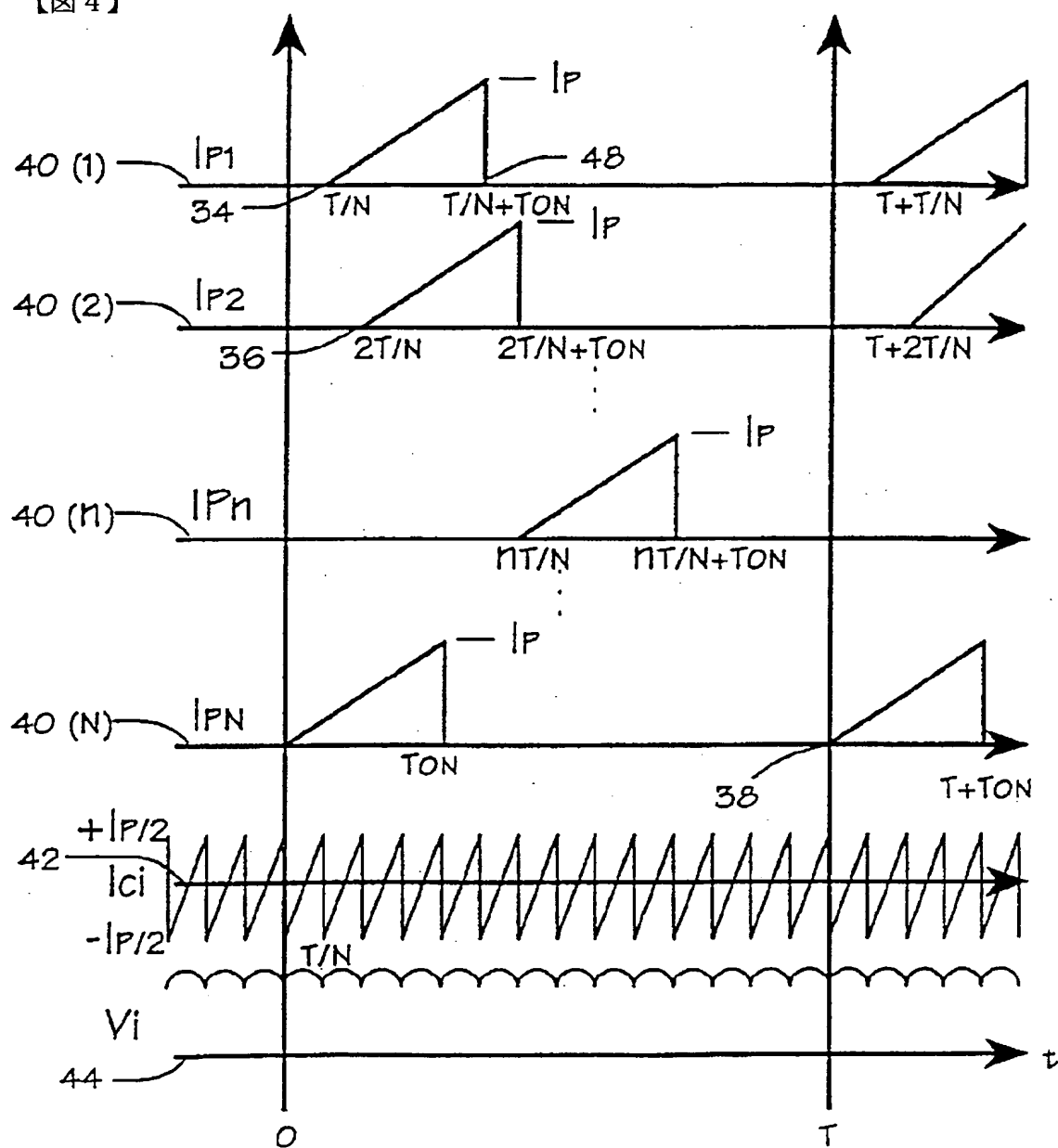


FIG. 4

【图5】

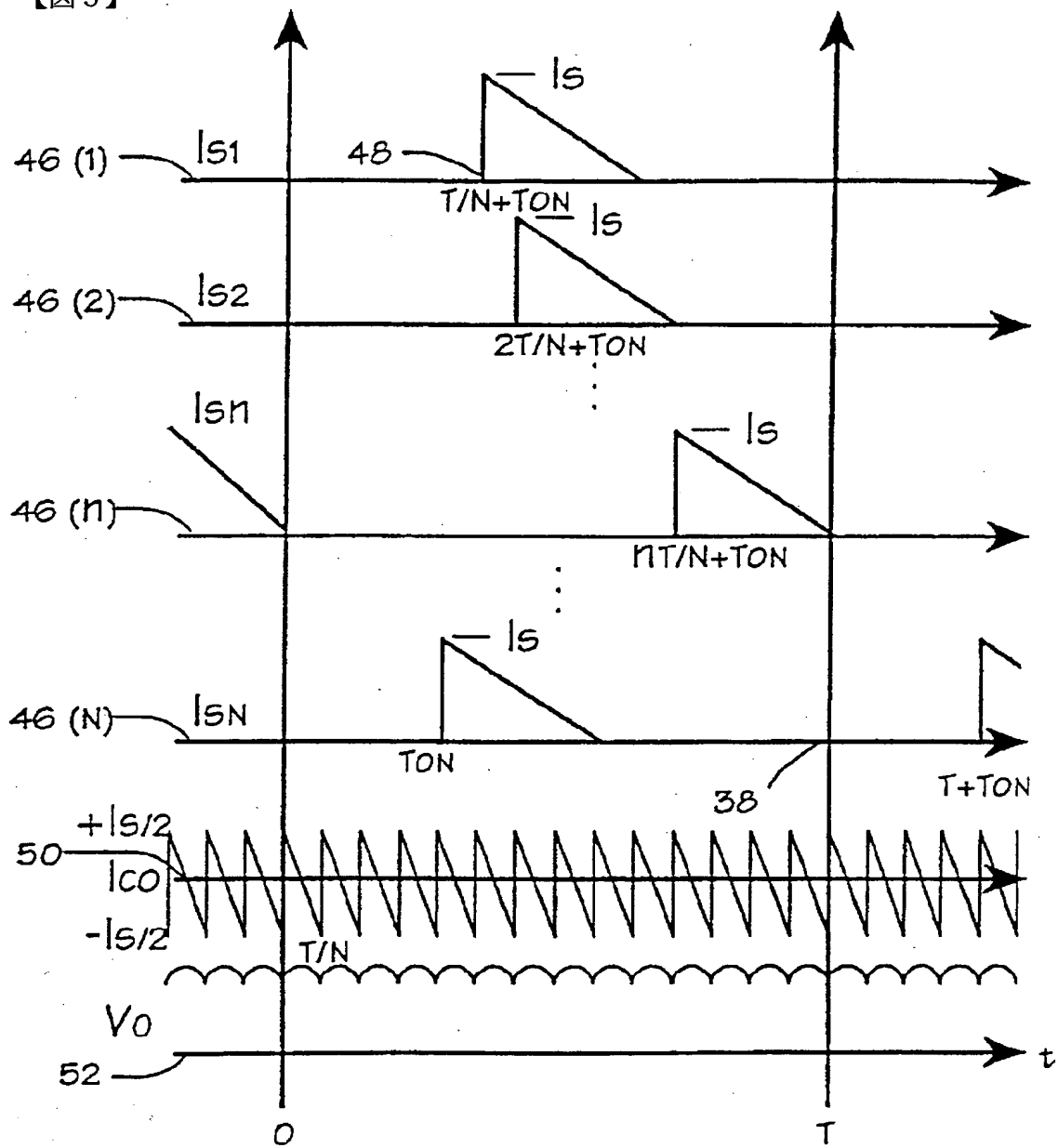


FIG. 5



【図6】

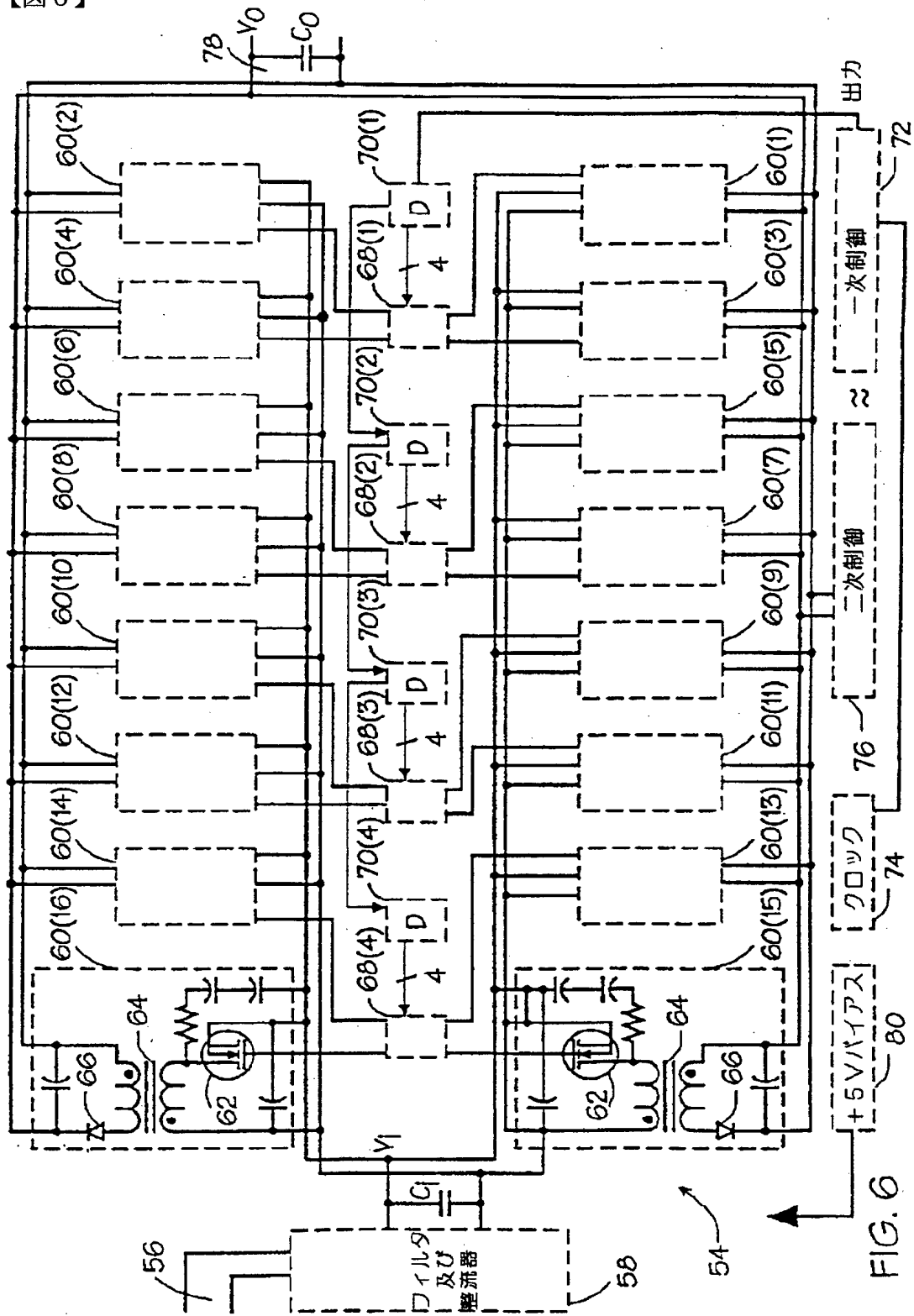


FIG. 6

【図7】

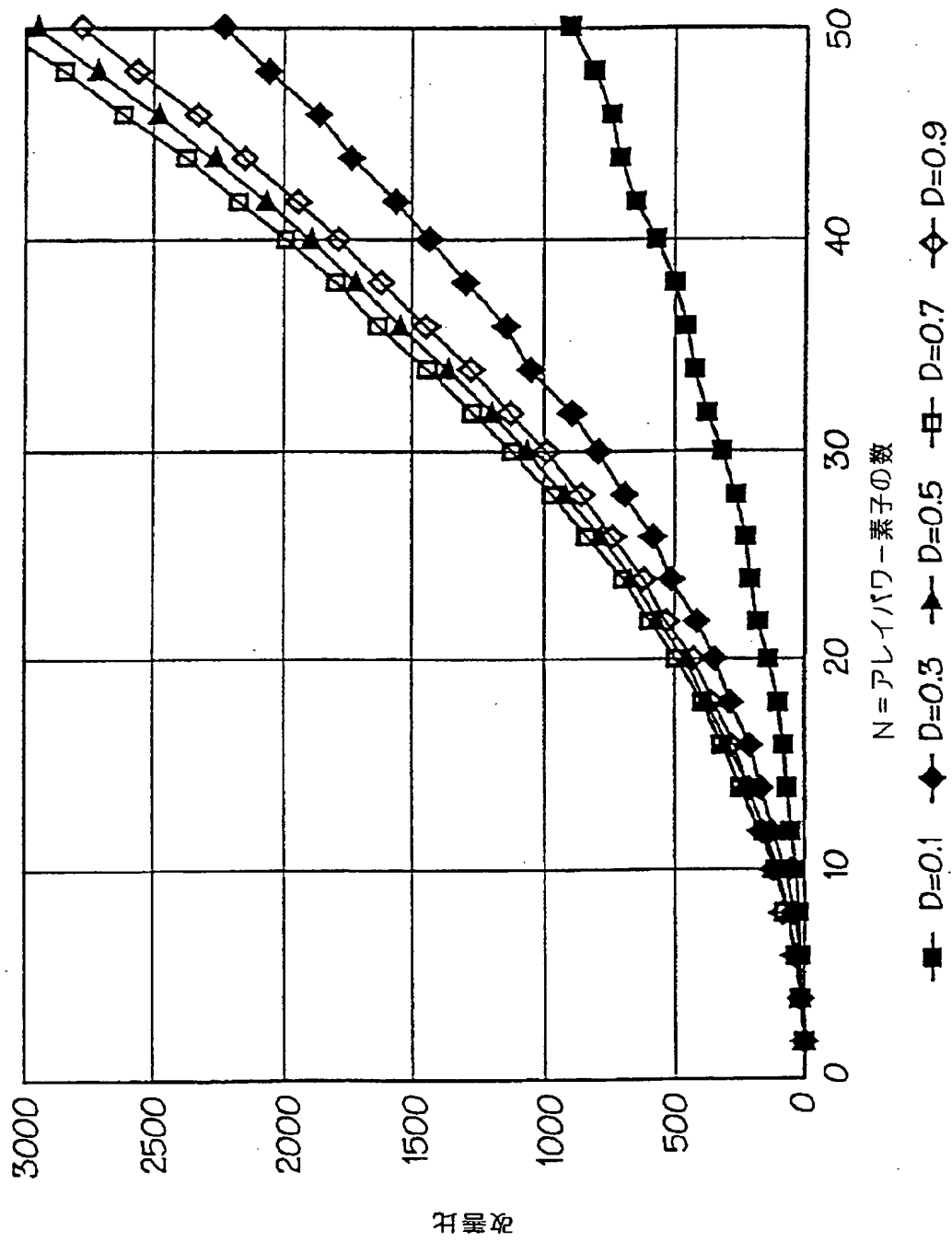
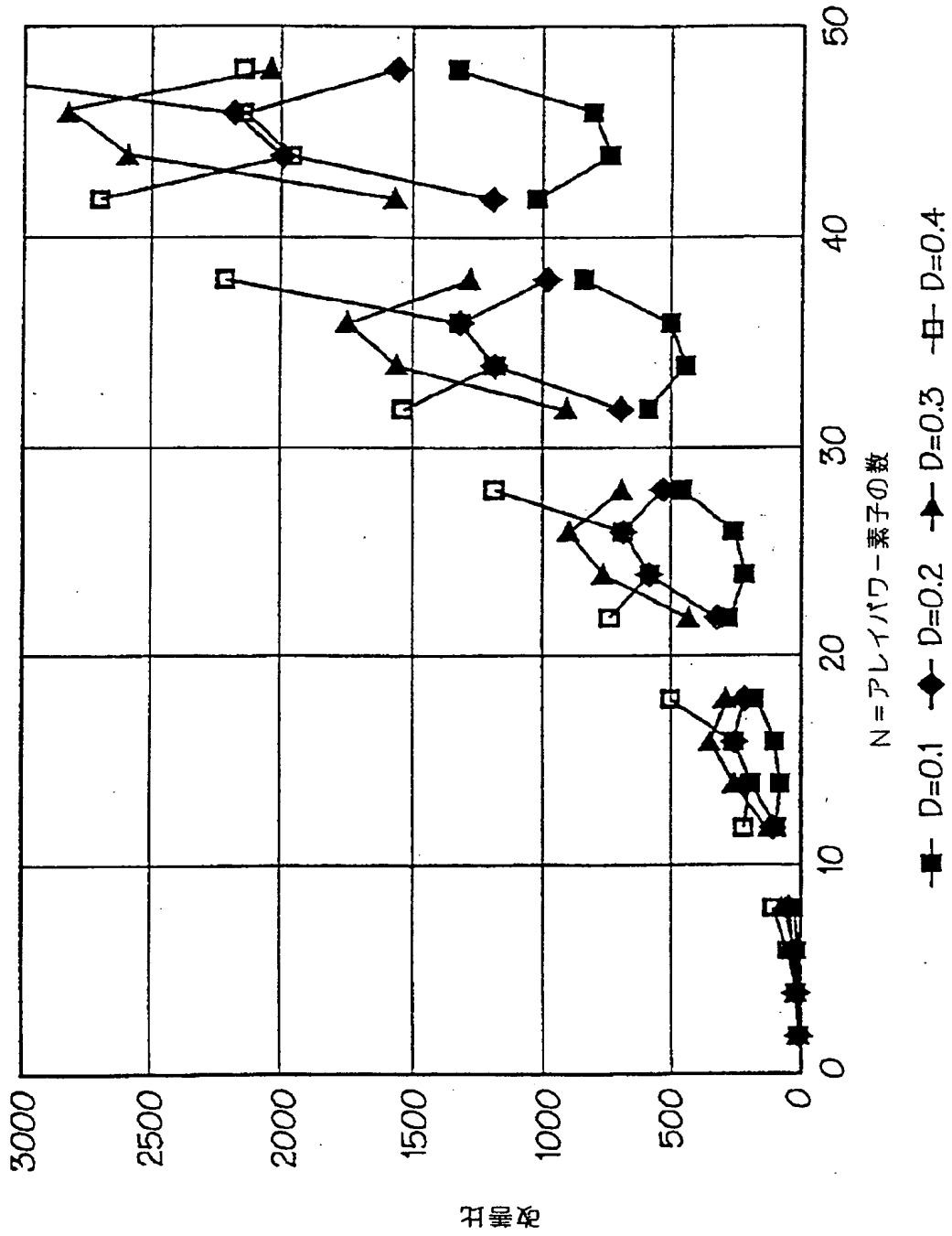


FIG. 7

【図8】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US94/13956

## A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : H02M 3/24, 3/325, 3/335

US CL : 363/65, 71; 307/82

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 363/65, 71; 307/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X,P	US, A, 5,309,344 (SMITH) 03 MAY 1994, col. 27, line 65 - col. 58, line 23.	1-4, 9 and 10
X,P	US, A, 5,311,419 (SHIRES) 10 MAY 1994, col. 4, line 27 - col. 7, line 25	1-17
X	US, A, 4,814,963 (PETERSEN) 21 March 1989, col. 4, line 40 - col. 15, line 45.	1-17
X	US, A, 4,695,933 (NGUYEN ET AL) 22 September 1987, col. 2, line 43 - col. 6, line 46.	1-4, 9 and 10

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
*A* document defining the general state of the art which is not considered to be of particular relevance	*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
*E* earlier document published on or after the international filing date	*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	*Z* document member of the same patent family
*O* document referring to an oral disclosure, use, exhibition or other means	
*P* document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

14 MARCH 1995

Date of mailing of the international search report

14 APR 1995

Name and mailing address of the ISA/US  
Commissioner of Patents and Trademarks  
Box PCT  
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

BERHANE, ADOLF

Telephone No. (703) 308-3299

---

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,  
DK, ES, FR, GB, GR, IE, IT, LU, M  
C, NL, PT, SE), OA(BF, BJ, CF, CG  
, CI, CM, GA, GN, ML, MR, NE, SN,  
TD, TG), AP(KE, MW, SD, SZ), AM,  
AT, AU, BB, BG, BR, BY, CA, CH, C  
N, CZ, DE, DK, ES, FI, GB, GE, HU  
, JP, KE, KG, KP, KR, KZ, LK, LT,  
LU, LV, MD, MG, MN, MW, NL, NO, N  
Z, PL, PT, RO, RU, SD, SE, SI, SK  
, TJ, TT, UA, UZ, VN